

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-306994

(43)Date of publication of application : 02.11.2000

(51)Int.Cl. H01L 21/762
H01L 21/316
H01L 27/12
H01L 29/786

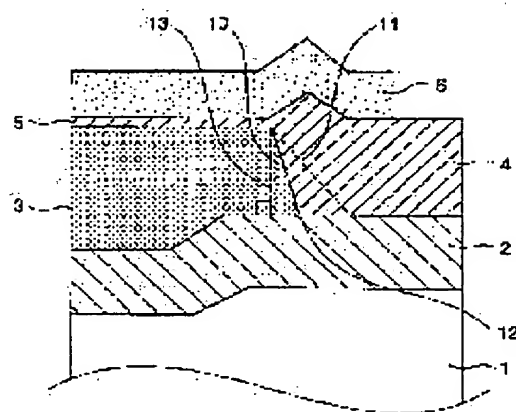
(21)Application number : 11-117447 (71)Applicant : OKI ELECTRIC IND CO LTD
(22)Date of filing : 26.04.1999 (72)Inventor : HAYASHI YOICHI
FUKUDA KOICHI
MIURA NORIYUKI

(54) SEMICONDUCTOR DEVICE OF SOI STRUCTURE AND FABRICATION THEREOF**(57)Abstract:**

PROBLEM TO BE SOLVED: To eliminate adverse effect of a parasitic MOS transistor formed on the boundary of an SOI layer and an LOCOS oxide film on the current characteristics.

SOLUTION: The semiconductor device of SOI structure comprises a silicon substrate 1, an oxide film 2 for insulation formed on the silicon substrate 1, an SOI layer composed of a silicon layer 3 formed on the oxide film 2 for insulation, an LOCOS film 4 formed on the oxide film 2 for insulation which touching the SOI layer 3 in order to insulate the SOI layer 3, a gate insulation film 5 formed on the SOI layer 3, and a gate electrode 6 formed on the gate insulation film 5. The SOI layer 3 has substantially

triangular cross-section at the part touching the LOCOS film 4 wherein the ratio of the normal in the thickness direction of the SOI layer 3 constituting the triangle and the boundary of the SOI layer 3 and the oxide film 2 for insulation is set at 4:1 or less.

**LEGAL STATUS**

[Date of request for examination] 10.10.2002

[Date of sending the examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-306994
(P2000-306994A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/762		H 0 1 L 21/76	D 4 M 1 0 8
21/316		27/12	F 5 F 0 3 2
27/12		21/94	A 5 F 1 1 0
29/786		29/78	6 2 1

審査請求 未請求 請求項の数13 O L (全 11 頁)

(21) 出願番号 特願平11-117447

(22) 出願日 平成11年4月26日 (1999.4.26)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 林 洋一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 福田 浩一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100089093

弁理士 大西 健治

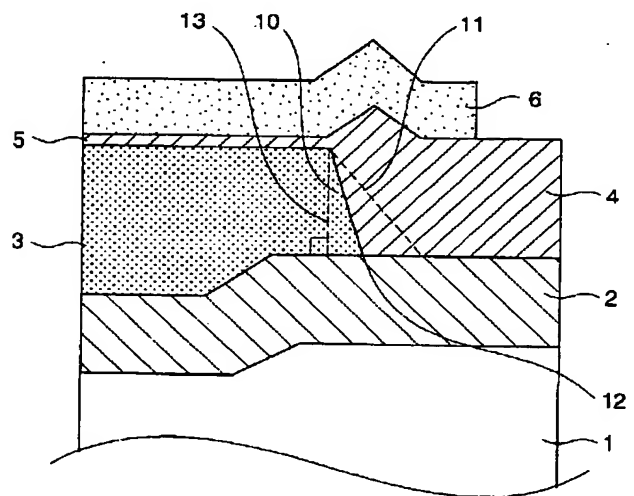
最終頁に続く

(54) 【発明の名称】 S O I 構造の半導体装置及びその製造方法

(57) 【要約】

【課題】 SOI層とLOCOS酸化膜との境界部に形成される寄生MOSトランジスタによる電流特性の悪影響を除去する。

【解決手段】 シリコン基板1と、このシリコン基板1上に形成された絶縁用酸化膜2と、この絶縁用酸化膜2上に形成されたシリコン層3からなるSOI層と、絶縁用酸化膜2上に形成され、SOI層3を絶縁するためこのSOI層3と接触して形成されたLOCOS酸化膜4と、SOI層3上に形成されたゲート絶縁膜5と、このゲート絶縁膜5上に形成されたゲート電極6を有するSOI構造の半導体装置において、SOI層3のLOCOS酸化膜4と接触する部分の断面形状は略三角形に食い込んだ形に形成されており、この三角形を構成するSOI層3の厚さ方向垂線と、SOI層3と前記絶縁用酸化膜2と境界との比が4:1またはそれ以下に形成されている。



【特許請求の範囲】**【請求項1】** シリコン基板と、

このシリコン基板上に形成された絶縁用酸化膜と、
この絶縁用酸化膜上に形成されたシリコン層からなるSOI層と、
前記絶縁用酸化膜上に形成され、前記SOI層を絶縁するためこのSOI層と接触して形成されたLOCOS酸化膜と、
前記SOI層上に形成されたゲート絶縁膜と、
このゲート絶縁膜上に形成されたゲート電極を有するSOI構造の半導体装置において、
前記SOI層の前記LOCOS酸化膜と接触する部分の断面形状は略三角形に食い込んで形成されており、この三角形を構成する前記SOI層の厚さ方向垂線と、前記SOI層と前記絶縁用酸化膜との境界との比が4：1またはそれ以下に形成されたSOI構造の半導体記憶装置。

【請求項2】 シリコン基板上に絶縁用酸化膜及びシリコン層が順次形成されたSIMOX基板を準備する工程と、
前記シリコン層上にゲート酸化膜および窒化膜を順次形成する工程と、
LOCOS酸化膜形成予定領域の上記窒化膜、ゲート酸化膜及びシリコン層の3／4以上の膜厚を除去する工程と、
前記除去工程で残存したシリコン層を酸化してLOCOS酸化膜に変換する工程と、
この後前記窒化膜を除去して、前記ゲート酸化膜上にゲート電極を形成する工程とを有するSOI構造の半導体装置の製造方法。

【請求項3】 シリコン基板上に絶縁用酸化膜及びシリコン層が順次形成されたSIMOX基板を準備する工程と、
前記シリコン層上にゲート酸化膜および窒化膜を順次形成する工程と、
LOCOS酸化膜形成予定領域の上記窒化膜、ゲート酸化膜及びシリコン層の一部を前記LOCOS酸化膜形成予定領域から食い込む方向に斜めエッチングにより除去する工程と、
前記除去工程で残存したシリコン層を酸化してLOCOS酸化膜に変換する工程と、
この後前記窒化膜を除去して、前記ゲート酸化膜上にゲート電極を形成する工程とを有するSOI構造の半導体装置の製造方法。

【請求項4】 前記シリコン層の一部を除去する工程は、シリコン層の膜厚の1／2程度を除去することの特徴とする請求項1記載のSOI構造の半導体装置の製造方法。

【請求項5】 シリコン基板と、
このシリコン基板上に形成された絶縁用酸化膜と、
この絶縁用酸化膜上に形成された絶縁用窒化膜と、
この絶縁用窒化膜上に形成されたシリコン層からなるSOI層と、
前記絶縁用窒化膜上に形成され、前記SOI層を絶縁するためこのSOI層と接触して形成されたLOCOS酸化膜と、

前記SOI層上に形成されたゲート絶縁膜と、
このゲート絶縁膜上に形成されたゲート電極を有するSOI構造の半導体装置。

【請求項6】 シリコン基板を準備する工程と、
このシリコン基板に酸素イオンを注入して、前記シリコン基板表面から所定の深さの位置に酸素含有層を形成する工程と、
前記シリコン基板に窒素イオンを注入して、前記酸素含有層より前記シリコン基板表面に近い位置に窒素含有層を形成する工程と、
この後前記シリコン基板に熱処理を施し、前記酸素含有層を絶縁用酸化膜に、前記窒素含有層を絶縁用窒化膜に変換して、シリコン基板上に絶縁用酸化膜、絶縁用窒化膜、シリコン層からなるSOI層が順次形成されたSOI基板を形成する工程とを有するSOI基板の形成方法。

【請求項7】 シリコン基板と、
このシリコン基板上に形成された絶縁用窒化膜と、
この絶縁用窒化膜上に形成されたシリコン層からなるSOI層と、
前記絶縁膜上に形成され、前記SOI層を絶縁するためこのSOI層と接触して形成されたLOCOS酸化膜と、
前記SOI層上に形成されたゲート絶縁膜と、
このゲート絶縁膜上に形成されたゲート電極を有するSOI構造の半導体装置。

【請求項8】 シリコン基板を準備する工程と、
このシリコン基板に窒素イオンを注入して、前記シリコン基板表面から所定の深さの位置に窒素含有層を形成する工程と、
この後前記シリコン基板に熱処理を施し、前記窒素含有層を絶縁用窒化膜に変換して、シリコン基板上に絶縁用窒化膜、シリコン層からなるSOI層が順次形成されたSOI基板を形成する工程とを有するSOI基板の形成方法。

【請求項9】 シリコン基板を準備する工程と、
このシリコン基板上のLOCOS酸化膜形成予定領域を含む領域に酸素イオンを透過しないマスク層を形成する工程とこのマスク層をマスクとして前記シリコン基板に酸素イオンを注入して、前記シリコン基板表面から所定の深さの位置に酸素含有層を形成する工程と、
この後前記シリコン基板に熱処理を施し、前記酸素含有層を絶縁用酸化膜に変換して、シリコン基板上の前記LOCOS酸化膜形成予定領域以外に絶縁用酸化膜が形成され、その絶縁用酸化膜上にシリコン層からなるSOI層が順次形成されたSOI基板を形成する工程と、
このSOI層の前記LOCOS酸化膜形成予定領域を選択的に酸化することにより、前記絶縁用酸化膜に接続されたLOCOS酸化膜を形成する工程とを有するSOI素子構造の形成方法。

【請求項10】 シリコン基板上に絶縁用酸化膜及びシリコン層が順次形成されたSIMOX基板を準備する工程と、

前記シリコン層上にゲート酸化膜および窒化膜を順次形成する工程と、LOCOS酸化膜形成予定領域の上記窒化膜、ゲート酸化膜及びシリコン層の一部を除去する工程と、この除去工程で残存した窒化膜をマスクとして前記除去工程で残存したシリコン層に不純物を導入する工程と、この不純物が導入されたシリコン層を酸化してLOCOS酸化膜に変換する工程と、この後前記窒化膜を除去して、前記ゲート酸化膜上にゲート電極を形成する工程とを有するSOI構造の半導体装置の製造方法。

【請求項11】 前記不純物を導入する工程は、前記LOCOS酸化膜形成予定領域から食い込む方向に斜めインプラによって行われることを特徴とする請求項10記載のSOI構造の半導体装置の製造方法。

【請求項12】 シリコン基板上に絶縁用酸化膜及びシリコン層が順次形成されたSIMOX基板を準備する工程と、前記シリコン層上にゲート酸化膜および窒化膜を順次形成する工程と、LOCOS酸化膜形成予定領域の上記窒化膜、ゲート酸化膜及びシリコン層の一部を除去する工程と、前記除去工程で残存したシリコン層を酸化してLOCOS酸化膜に変換する工程と、この後前記窒化膜を除去して、前記SOI層にしきい値制御の不純物導入を行い、前記SOI層の前記絶縁用酸化膜に付近のみに高濃度不純物層を形成する工程と、この後前記ゲート酸化膜上にゲート電極を形成する工程とを有するSOI構造の半導体装置の製造方法。

【請求項13】 前記しきい値制御の不純物導入工程は、しきい値制御のためのイオン種を前記SOI層に導入する工程と、この後しきい値制御のためのイオン種とは逆極性を有するイオン種を前記SOI層に導入する工程とを有する請求項12に記載のSOI構造の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、SOI(Silicon On Insulator)基板を用いた半導体装置に関するもので、特に半導体素子のシリコン層部分に特長を有する素子構造に関するものである。

【0002】

【従来の技術】 SOI基板ではBOX酸化膜と呼ばれる絶縁性の層の上にシリコン層が形成されている。このシリコン層は素子分離のためにトレンチ構造もしくはLOCOS(Local Oxidation of Silicon)法によって分離される。シリコン層をエッチングして溝を作り、その溝に酸化膜を埋め込むトレンチ構造は例えばIEEE ELECTRON DEVICE LETTERS, VOL. 6, JUNE 1995などに開示されている。このトレンチ構造による分離は、LOCOS法に比べて工程数が多いため、製造コストが高い。一方、LOCOS法によるS

OIにおける素子分離は、Proceedings IEEE Intr. SOI conf., 116 (1995)に開示されている。このLOCOS法ではBOX酸化膜とLOCOS酸化膜との間に断面が三角形の薄いシリコン層が形成され、この層が寄生MOSFETを形成する。

【0003】

【発明が解決しようとする課題】 この寄生MOSFETは本来の(寄生MOSFETがないと仮定した)MOSFETの電流特性に悪い影響を与えてしまう。この悪い影響は電流特性に瘤ができたようにみえるところからハンプ特性と呼ばれている。寄生MOSFETがある場合の閾値電圧は本来のMOSFETよりも低くなってしまふ。

【0004】

【課題を解決するための手段】 上記課題を解決するため、この発明のSOI構造の半導体装置は、シリコン基板と、このシリコン基板上に形成された絶縁用酸化膜と、この絶縁用酸化膜上に形成されたシリコン層からなるSOI層と、絶縁用酸化膜上に形成され、SOI層を絶縁するためこのSOI層と接触して形成されたLOCOS酸化膜と、SOI層上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極を有するSOI構造の半導体装置において、SOI層のLOCOS酸化膜と接触する部分の断面形状は略三角形に食い込んだ形に形成されており、この三角形を構成するSOI層の厚さ方向垂線と、SOI層と前記絶縁用酸化膜と境界との比が4:1またはそれ以下に形成されている。

【0005】

【発明の実施の形態】 図1はこの発明の第1の実施例のSOI素子構造の一部断面図である。シリコン基板1上に形成された約1000~1500オングストロームの厚さのBOX酸化膜2の上にはシリコン層であるSOI層3が約400~500オングストロームの厚さで形成されている。このSOI層3は、その一部がLOCOS法によって酸化され、膜厚約400オングストローム程度のLOCOS酸化膜4になっている。SOI層3の上には比較的薄い膜厚約70オングストロームのゲート酸化膜5が形成される。ゲート酸化膜5上にはゲートとして機能するポリシリコン6が膜厚約2500~3000オングストロームで設けられている。ここで、SOI層3とLOCOS酸化膜4との境界10は、従来の境界11よりもより垂直に近い形になっている。具体的に第1の実施例のSOI素子構造では、SOI層3とLOCOS酸化膜4との境界10、SOI層3の厚さ方向の垂線13及びBOX酸化膜2とSOI層3との境界12とで形成される三角部分の底辺(境界12)と高さ(垂線13)の比を1:4もしくは底辺の比をそれより小さくしている。このような構成により寄生トランジスタによる影響を抑制する効果が期待できる。図2は第1の実施例のSOI素子構造の電流電圧特性のシュミレーション結果を示す図である。縦軸にはトランジスタのドレイン電流 I_d が、横軸にはゲートバイアス電圧 $-V_g$ がとられている。

なお、 $1e-05$ と示されているのは、 1×10^{-5} をあらわしている。寄生トランジスタが形成されない理想的電流特性Aに比較して、第1の実施例の電流特性Bはオフリーク電流が一桁以内に抑えられている。これはSOI素子構造で三角部分の底辺と高さの比が1:1のものの電流特性Cと比較すると大きく改善され、理想的な電流特性Aに近づいていることが図2からも理解できる。

【0006】図3 (A) ~ (C) は第1の実施例のSOI素子構造の製造方法を示す断面図である。これらの図を参照しつつ第1の実施例のSOI素子構造の製造方法を説明する。まず、シリコン基板1上に膜厚約1000~1500オングストロームのBOX酸化膜2及び膜厚約500オングストロームのSOI層3が積層形成されたSIMOX (Separation by Implantation of Oxygen) 基板を準備する。このSIMOX基板のSOI層3上に膜厚約70オングストロームのゲート酸化膜5及び膜厚約500オングストロームの窒化膜7を順次形成する(図3 (A))。このゲート酸化膜5の形成や、その後の処理などによってSOI層3は約400オングストロームぐらいの膜厚に減少している。次にLOCOS酸化膜を形成する領域の窒化膜7、ゲート酸化膜5及びSOI層3の一部を除去する(図3

(B))。ここで、SOI層2の除去する量は元の膜厚約400オングストロームの3/4である約300オングストロームである。したがって、除去された後のSOI層3Aの膜厚はもとのSOI層3の膜厚の1/4である約100オングストロームになっている。この後LOCOS酸化を行うことでSOI層3AをLOCOS酸化膜4に変換する(図3

(C))。ここで、変換されたLOCOS酸化膜3とSOI層2との境界部分に形成されるSOI層2の三角部分は小さくなり、その底辺と高さの比は1:4もしくは底辺の比がそれより小さくなる。図4 (A) および (B) は第1の実施例の対比を示す製造工程を示す断面図である。図4

(A) は図3 (B) に対応する工程で、SOI層3の除去する量を元の膜厚約400オングストロームの1/5である約80オングストロームにしている。したがって、除去された後のSOI層3Bの膜厚はもとのSOI層3の膜厚の4/5である約320オングストロームになっている。この後LOCOS酸化を行うことでSOI層3BをLOCOS酸化膜3bに変換する(図4 (B))。ここで、変換されたLOCOS酸化膜4BとSOI層3との境界部分に形成されるSOI層3の三角部分はLOCOS酸化膜4B側への食い込みが大きくなり、その底辺と高さの比は1:1程度になってしまう。シリコンが酸化膜に侵食される量と上に伸びて行く量との比は0.44:0.56であると一般的にいわれている。このため、LOCOS酸化膜4に変換するSOI層3Aの膜厚を薄くすると境界部の三角部分の底辺の長さ(LOCOS酸化膜4側への食い込み量)が小さく抑えられるのである。

【0007】図5 (A) ~ (C) は第1の実施例のSOI素子構造の他の製造方法を示す断面図である。これらの図

を参照しつつ第1の実施例のSOI素子構造の他の製造方法を説明する。まず、シリコン基板1上に膜厚約1000~1500オングストロームのBOX酸化膜2及び膜厚約500オングストロームのSOI層3が積層形成されたSIMOX基板を準備する。このSIMOX基板のSOI層3上に膜厚約70オングストロームのゲート酸化膜5及び膜厚約500オングストロームの窒化膜7を順次形成する(図5

(A))。このゲート酸化膜5の形成や、その後の処理などによってSOI層3は約400オングストロームぐらいの膜厚に減少している。次にLOCOS酸化膜を形成する領域の窒化膜7、ゲート酸化膜5及びSOI層3の一部を除去する。ここで、窒化膜7、ゲート酸化膜5及びSOI層3の除去は斜めエッチングによって行われている(図5 (B))。この斜めエッチングはリアクティブイオンエッチングなどの方法で実現できる。この斜めエッチングによって除去するSOI層3の除去量は、図3で説明した製造方法のように元の膜厚の3/4までエッチングする必要はない。SOI層3の除去量は斜めエッチングの条件に依存するが、元の膜厚の1/2程度である約200オングストローム程度除去するぐらいが適当である。この後LOCOS酸化を行うことでSOI層の一部3CをLOCOS酸化膜4Cに変換する。ここで、変換されたLOCOS酸化膜4CとSOI層3との境界部分に形成されるSOI層3の三角部分は斜めエッチングによってあらかじめオーバーエッチングされているため小さくなり、その底辺と高さの比は1:4もしくは底辺の比がそれより小さくなる。

【0008】図6 (A) 及び (B) はこの発明の第2の実施例のSOI素子構造の一部断面図である。図6 (A) に示すように、この実施例で用いるSOI基板60はシリコン基板61上に形成された約1000~1500オングストロームの膜厚のBOX酸化膜62上に、さらに約1150オングストロームの窒化膜63が形成されている。この窒化膜63上には約500オングストロームの膜厚のSOI層64が形成される。このSOI基板60はその一部がLOCOS法によって酸化され、SOI層64の一部が約400オングストロームの膜厚のLOCOS酸化膜65になる。SOI層64の上には比較的薄いゲート酸化膜66が形成され、ゲート酸化膜66上にはゲートとして機能するポリシリコン67が設けられる(図6 (B))。SOI層3が酸化されてLOCOS酸化膜4に変換されるとき、従来はLOCOS酸化膜が成長してBOX酸化膜2と接続された後、BOX酸化膜2から上方向に素子部分(チャネル部分)のSOI層3を酸化していた。この現象によってSOI層3はいわゆる浮き上がった状態になり、図7 (A) 及びその要部断面図である図7 (B) のシュミレーション結果が示すように、特にLOCOS酸化膜4とSOI層3との境界部分では薄いSOI層が形成されてしまう。しかしながら、第2の実施例で用いるSOI基板では、BOX酸化膜62上に窒化膜63が形成されている。窒化膜は酸化膜と異なりシリコン層の酸化を促進させないため、窒化膜63から上方向に素子

部分（チャネル部分）のSOI層64を酸化する現象は起こらない。したがって、図7（C）及びその要部断面図である図7（D）のシュミレーション結果が示すように、LOCOS酸化膜65とSOI層64との境界部分でも下からの酸化が行われていないため、SOI層64は比較的厚く形成される。以上説明したように、BOX酸化膜62とSOI層64との間に窒化膜63を形成したので、SOI層64の下方向からの酸化を抑えることができ、SOI層64とフィールド酸化膜65との境界部分のSOI層64の膜厚を確保できる。また、窒化膜63の下にBOX酸化膜62があるため、窒化膜の剛性によるリーク電流の問題などが、酸化膜による応力緩和によって減少させる効果も期待できる。

【0009】図8（A）～（D）は第2の実施例で用いられるSOI基板の製造方法を示す断面図である。これらの図を参照しつつ第2の実施例で用いられるSOI基板の製造方法を説明する。まず、準備したシリコン基板61（図8（A））に酸素イオンを注入する。このイオン注入により、シリコン基板61の所定の深さの場所に酸素含有層62Aが形成され、表面にはシリコン層64Aが残る（図8（B））。酸素イオンの注入は、シリコン基板61の表面から約1650オングストロームから3150オングストロームあたりに酸素含有層62Aが形成されるよう制御される。次に酸素含有層62Aが形成されたシリコン基板61に窒素イオンを注入する。このイオン注入により、酸素含有層62A上に窒素含有層63Aが形成される（図8（C））。ここで、窒化膜63は熱処理によって反る性質を有しているため、窒素含有層63Aは表面から500オングストロームから1650オングストロームまでの膜厚約1150オングストロームぐらいになるよう窒素イオンの注入が制御される。その後熱処理を施してやることにより、酸素含有層62AはBOX酸化膜62に、窒素含有層63Aは窒化膜63に変換され、図6（A）の前提となるSOI基板が形成される（図8（D））。

【0010】図9（A）及び（B）はこの発明の第3の実施例のSOI素子構造の一部断面図である。図9（A）に示すように、この実施例で用いるSOI基板90はシリコン基板91上に厚さ約1150オングストロームの窒化膜93が形成されている。この窒化膜93上には膜厚約500オングストロームのSOI層94が形成されている。第3の実施例で用いるSOI基板90はその一部がLOCOS法によって酸化され、SOI層94の一部が膜厚約400オングストロームのLOCOS酸化膜95になる。SOI層94の上には膜厚約70オングストロームと比較的薄いゲート酸化膜96が形成され、ゲート酸化膜96上にはゲートとして機能する膜厚約2500～3000オングストロームのポリシリコン97が設けられる（図9（B））。図7（A）及び（B）の説明で述べたように、LOCOS酸化膜4とSOI層3との境界部分では薄いSOI層3が形成され

てしまう。しかしながら、第3の実施例で用いるSOI基板では、BOX酸化膜2の代わりに窒化膜93が形成されている。窒化膜は酸化膜と異なりシリコン層の酸化を促進させないため、窒化膜93から上方向に素子部分（チャネル部分）のSOI層94を酸化する現象は起こらない。したがって、図10（A）及びその拡大図の図10（B）のシュミレーション結果が示すように、LOCOS酸化膜95とSOI層94との境界部分でも下からの酸化が行われていないため、SOI層94は比較的厚く形成される。以上説明したように、第3の実施例ではBOX酸化膜の代わりに窒化膜93を形成したので、SOI層94の下方向からの酸化を抑えることができ、SOI層94とフィールド酸化膜95との境界部分のSOI層94の膜厚を確保できる。また、従来のBOX酸化膜を窒化膜に置換えるだけなので製造工程数なども増えず、容易に実施が可能である。

【0011】図11（A）～（C）は第3の実施例で用いられるSOI基板の製造方法を示す断面図である。これらの図を参照しつつ第3の実施例で用いられるSOI基板の製造方法を説明する。まず、準備したシリコン基板91（図11（A））に窒素イオンを注入する。このイオン注入により、シリコン基板91の所定の深さの場所に窒素含有層93Aが形成され、表面にはシリコン層94Aが残る（図11（B））。窒素イオンの注入は、シリコン基板91の表面から約500オングストロームから1650オングストロームあたりに窒素含有層93Aが形成されるよう制御される。窒化膜93は熱処理によって反る性質を有しているため、窒素含有層93Aは膜厚約1150オングストロームぐらいになるよう窒素イオンの注入が制御されているのである。その後熱処理を施してやることにより、窒素含有層93Aは窒化膜93に変換され、図9（A）の前提となるSOI基板90が形成される（図11（C））。第3の実施例で用いるSOI基板の製造方法は、第2の実施例で用いるSOI基板の製造方法に比べ予期しない酸素と窒素の化学反応などが避けられると言う利点がある。さらに、イオン注入工程が1回のみであるため、工程が簡単で安価に製造できるという利点もある。

【0012】図12（A）～（D）は第4の実施例のSOI素子の製造方法を示す断面図である。これらの図を参照しつつ第4の実施例のSOI素子の製造方法を説明する。まず、準備したシリコン基板121（図12（A））のフィールド酸化膜形成予定領域122より若干広い領域の上にマスク層123を形成する。このマスク層123は、酸素イオンを通さないものなら特に限定されない。このマスク層123が形成されたシリコン基板121に酸素イオンを注入する。このイオン注入により、マスク層123が形成された領域以外のシリコン基板121の所定の深さの場所に酸素含有層124Aが形成され、表面にはシリコン層125Aが残る（図12（B））。酸素

イオンの注入は、シリコン基板121の表面から約1650オングストロームから3150オングストロームあたりに酸素含有層124Aが形成されるよう制御される。その後熱処理を施してやることにより、酸素含有層124AはBOX酸化膜124に変換される(図12

(C))。この熱処理によって酸素含有層124Aが酸化膜124に変換されるとき、酸化膜124が横方向に成長する。したがって、酸化膜124はフィールド酸化膜形成予定領域122の下のみが形成されていない状態になる。この後LOCOS酸化を行うと最終的にフィールド酸化膜126はシリコン基板121の下方向に成長し、シリコン基板に設けられた酸化膜124をつなぐような形になる(図12(D))。このため、第4の実施例のSOI素子の最終形状は基、通常のBOX酸化膜を有したSIMOX基板でSOI素子を形成した場合とほぼ同じような形状になる。ただし細部に着目すると、図12(D)に示すようにフィールド酸化膜126の端部、即ちシリコン基板121に形成された酸化膜124との境界部分では切れ目のような部分129形成されている。これは、フィールド酸化膜126が下方向に成長したことを示すものである。フィールド酸化膜が下方向に成長するため、横方向への成長は従来のSIMOX基板を用いた時と比べ少なくなる。このため、SOI層127とフィールド酸化膜126の境界部分においても、下方向からの酸化は緩和され、比較的厚い膜厚が維持された構造になる。

【0013】図13(A)及び(B)は第5の実施例のSOI素子の製造方法を示す断面図である。これらの図を参照しつつ第5の実施例のSOI素子の製造方法を説明する。まず、シリコン基板131上に膜厚約1000~1500オングストロームのBOX酸化膜132及び膜厚約500オングストロームのSOI層133が積層形成されたSIMOX基板を準備する。このSIMOX基板のSOI層131上に膜厚約70オングストロームのゲート酸化膜135及び膜厚約500オングストロームの窒化膜136を順次形成する。このゲート酸化膜135の形成や、その後の処理などによってSOI層133は約400オングストロームぐらいの膜厚に減少している。次にLOCOS酸化膜137を形成する領域の窒化膜136、ゲート酸化膜135及びSOI層133の一部を除去する。ここで、SOI層133の除去する量は第1の実施例の製造方法と同様に元の膜厚約400オングストロームの3/4である約300オングストロームである。したがって、除去された後のSOI層134の膜厚はもとのSOI層133の膜厚の1/4である約100オングストロームになっている。この後、窒化膜136をマスクとして、基板全面に不純物をインプラする(図13(A))。このインプラにより、フィールド酸化膜形成予定領域のSOI層134には不純物が導入され、高濃度領域になる。この後LOCOS酸化を行うことでSOI層134をLOCOS酸化膜137に変換する。さらに窒化膜136を除去後にゲートポリシリコ

ン138を形成して最終的なSOI素子構造が得られる(図13(B))。ここで、変換されたLOCOS酸化膜137とSOI層133との境界部分に形成されるSOI層133の三角部分の下側部分には高濃度領域139が形成されている。これは、SOI層134の高濃度領域の一部が残ったものである。高濃度領域の部分では、たとえ寄生MOS構造ができたとしてもチャネル部分が高濃度領域となるためMOSとしては動作しない。このように、高濃度領域がSOI層135の膜厚が薄くなった部分に存在するため、寄生MOSによる電気特性への影響がなくなり、ハンプ特性を改善できる。なお、第4の実施例では、第1の実施例の製造方法と同様にフィールド酸化膜形成予定領域のSOI層を元のSOI層の3/4除去したが、高濃度領域が形成されるためこの除去量は3/4より少なくてもかまわない。

【0014】図14(A)及び(B)は第5の実施例のSOI素子の製造方法の変形例を示す断面図である。これらの図を参照しつつ第5の実施例の製造方法の変形例を説明する。SIMOX基板にゲート酸化膜145及び窒化膜147を順次形成後、LOCOS酸化膜形成予定領域の窒化膜147、ゲート酸化膜145及びSOI層143の一部を除去するまでは図13(A)と全く同じである。この後、窒化膜147をマスクとして、基板全面に不純物を斜めインプラする(図14(A))。この斜めインプラにより、フィールド酸化膜形成予定領域のSOI層134及びチャネル部分のSOI層135の端部には不純物が導入され、高濃度領域146になる。この後LOCOS酸化を行うことでSOI層146をLOCOS酸化膜144に変換する。さらに窒化膜147を除去後にゲートポリシリコン148を形成して最終的なSOI素子構造が得られる(図14(B))。ここで、変換されたLOCOS酸化膜137とSOI層143との境界部分に形成されるSOI層143の三角部分の下側部分には図13(B)で示した高濃度領域139よりも大きな高濃度領域149が形成されている。これは、チャネル部分のSOI層143の端部にも斜めインプラによって高濃度領域が形成されたためである。高濃度領域の部分では、たとえ寄生MOS構造ができたとしてもチャネル部分が高濃度領域となるためMOSとしては動作しないのは図13(B)の場合と同様である。このように、高濃度領域がSOI層135の膜厚が薄くなった部分に図13(B)に示した場合より拡大された領域で存在するため、寄生MOSによる電気特性への影響がより少なくなり、ハンプ特性を改善できる。なお、この変形例では、図13(A)及び(B)に示した第5の実施例よりSOI層143の除去量を少なくてもかまわない。

【0015】図15は第6の実施例のSOI素子の製造方法を示す断面図である。この図を参照しつつ第6の実施例のSOI素子の製造方法を説明する。第2の実施例で用いたSOI基板上に第2の実施例と同様にSOI素子を形成す

る。したがって、図15のSOI素子の構造は、図6(B)とポリシリコン67の形成を除いて同じである。第6の実施例の製造方法では、図15に示すように図6(B)の構造のSOI素子にしきい値制御インプラを施す。このしきい値制御インプラは図15の右側のグラフに示すように不純物濃度のピーク値がSOI層64の下側にくるようそのエネルギーが制御されている。具体的には、SOI層64のチャンネルとして使われる部分では所定のしきい値電圧が得られ、かつSOI層64とフィールド酸化膜の境界部分の特に下側の部分で不純物濃度が濃くなるように不純物のドーザ量とインプラのエネルギーとを組み合わせインプラを行う。第6の実施例では、上述のようなインプラ工程を導入することによりしきい値電圧制御とハンプ特性の改善が同時に行える利点がある。なお、SOI層64の下部全体が高濃度不純物層になってしまうが、しきい値制御のために必要なSOI層64の膜厚自体は保たれているため、素子特性上問題はない。なお、第6の実施例ではSOI基板として第2の実施例で用いたものを使ったが、第3の実施例で用いたSOI基板もしくは従来からあるSIMOX基板を用いることも可能である。

【0016】図16は第6の実施例のSOI素子の製造方法の変形例を示す断面図である。この図を参照しつつ第6の実施例の製造方法の変形例を説明する。この変形例においては、第6の実施例のしきい値制御インプラを施すまでは第6の実施例と同様にSOI素子を形成する。この後しきい値制御インプラを行うが、この変形例ではまず図16のグラフ160に示すように不純物濃度プロファイルのしきい値制御インプラを行う。その後、このしきい値制御インプラで用いたイオン種とは電気的に逆の極性を有するイオンを注入する、いわゆるカウンタードープを図16のグラフ161に示すような不純物濃度プロファイルで行う。この2回の不純物のインプラにより、最終的にSOI層64は図16のグラフ162に示すような不純物濃度プロファイルを有するようになる。

【0017】

【発明の効果】以上詳細に説明したように、この発明によればSOI層とLOCOS酸化膜との境界部に形成される寄生MOSトランジスタによる電流特性の悪影響、いわゆるハンプ特性を抑えることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例のSOI素子構造の一部断面図である。

【図2】第1の実施例のSOI素子構造の電流電圧特性のシミュレーション結果を示す図である。

【図3】第1の実施例のSOI素子構造の製造方法を示す断面図である。

【図4】第1の実施例の対比を示す製造工程を示す断面図である。

【図5】第1の実施例のSOI素子構造の他の製造方法を示す断面図である。

【図6】第2の実施例のSOI素子構造の一部断面図である。

【図7】第2の実施例のSOI素子構造の電流電圧特性のシミュレーション結果を示す図である。

【図8】第2の実施例で用いられるSOI基板の製造方法を示す断面図である。

【図9】第3の実施例のSOI素子構造の一部断面図である。

【図10】第3の実施例のSOI素子構造の電流電圧特性のシミュレーション結果を示す図である。

【図11】第3の実施例で用いられるSOI基板の製造方法を示す断面図である。

【図12】第4の実施例のSOI素子の製造方法を示す断面図である。

【図13】第5の実施例のSOI素子の製造方法を示す断面図である。

【図14】第5の実施例のSOI素子の製造方法の変形例を示す断面図である。

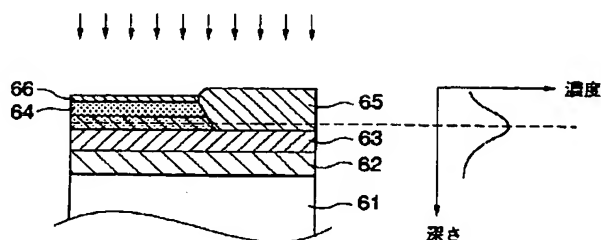
【図15】第6の実施例のSOI素子の製造方法を示す断面図である。

【図16】第6の実施例のSOI素子の製造方法の変形例を示す断面図である。

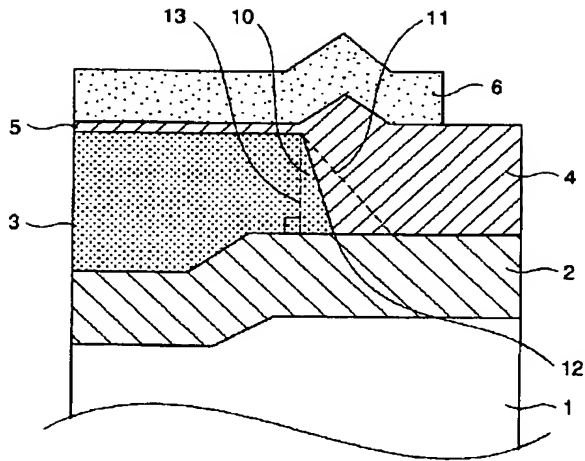
【符号の説明】

- 1、61、91、121、131 シリコン基板
- 2、62、124、132 BOX酸化膜
- 3、64、94、124、133 SOI層
- 5、66、127、135 ゲート酸化膜
- 6、67、97、128、138 ゲートポリシリコン

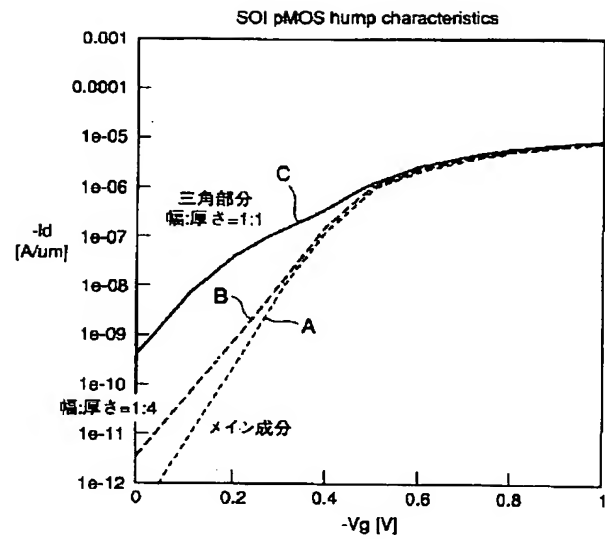
【図15】



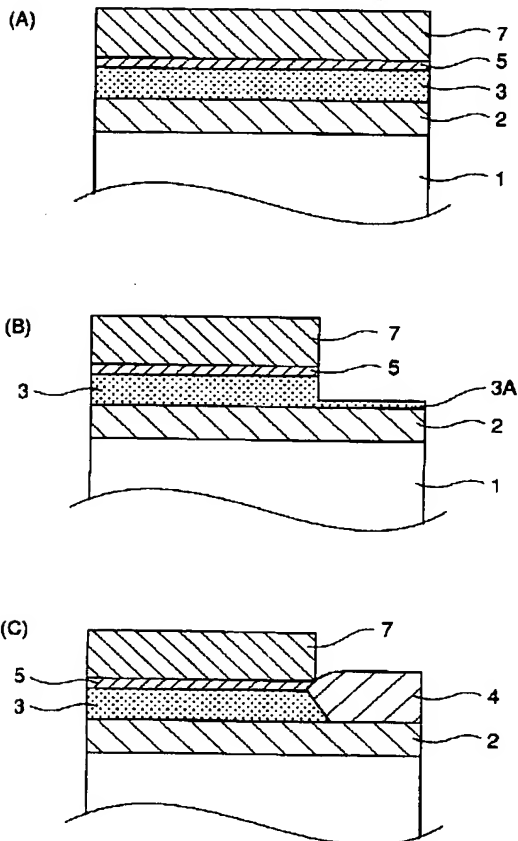
【図1】



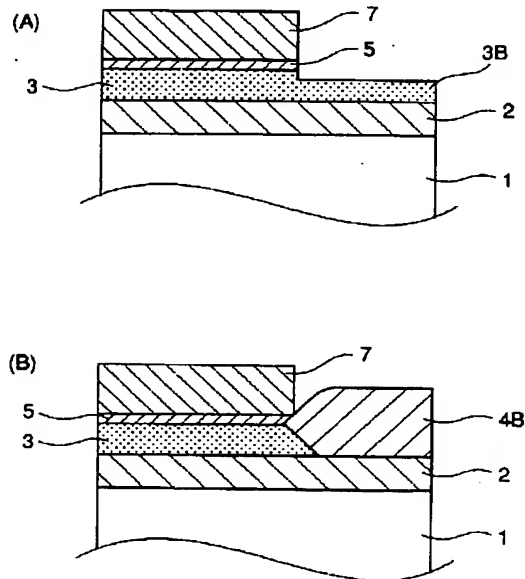
【図2】



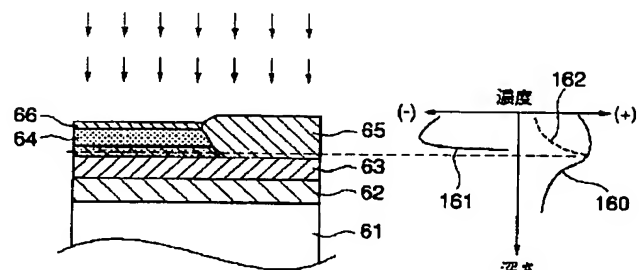
【図3】



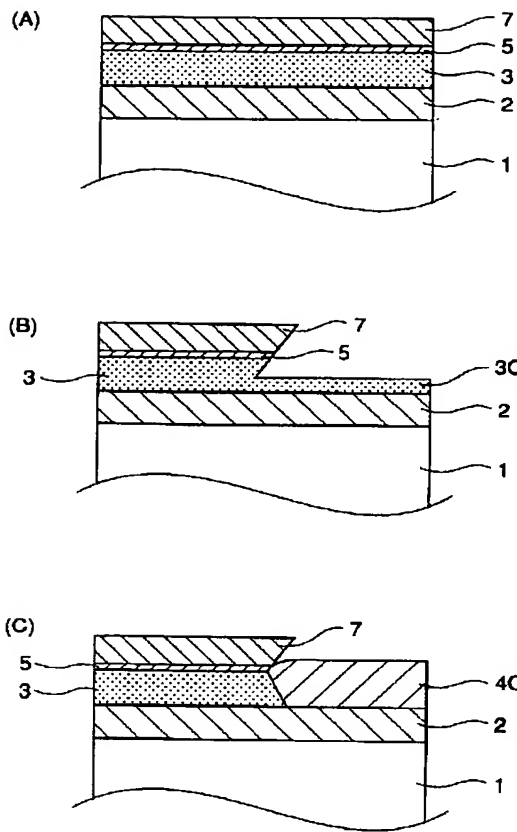
【図4】



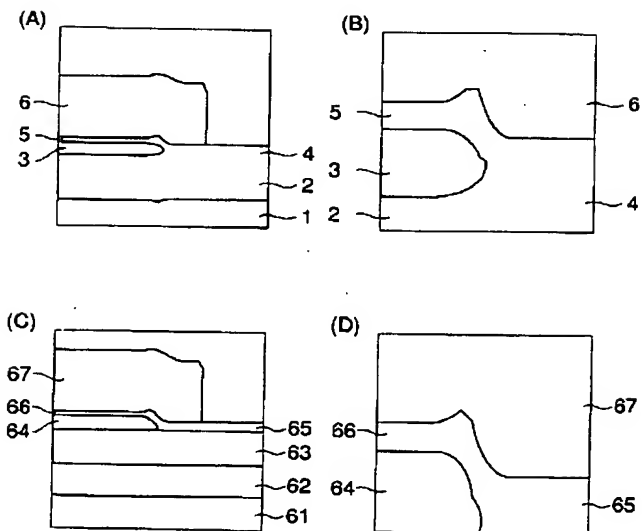
【図16】



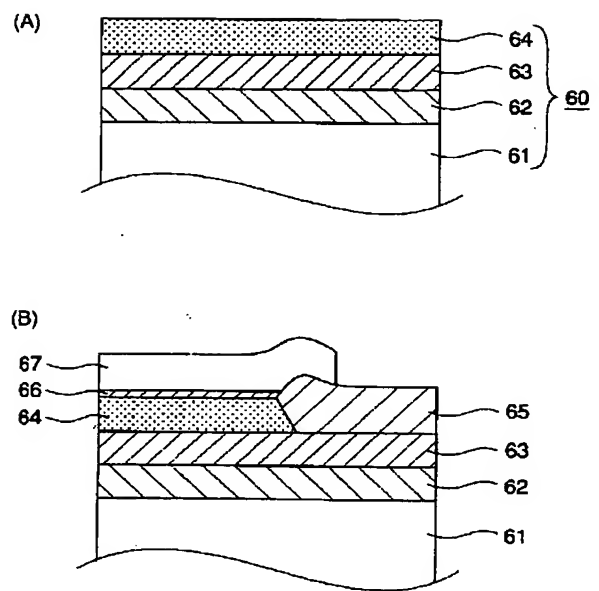
【図5】



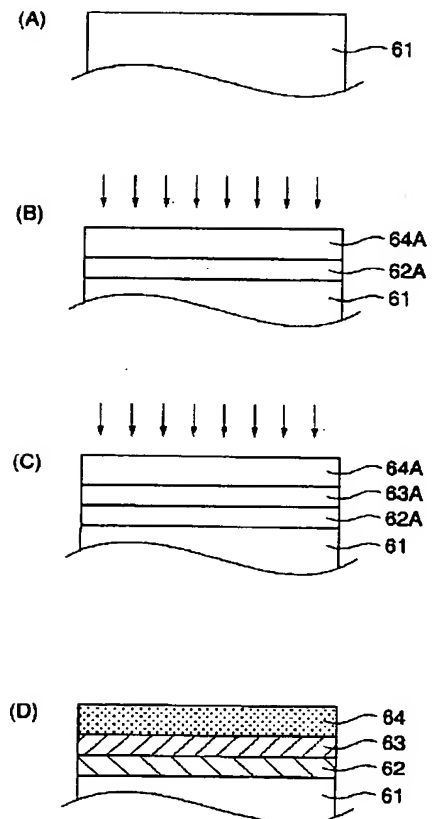
【図7】



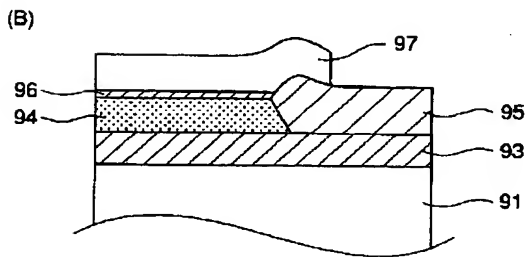
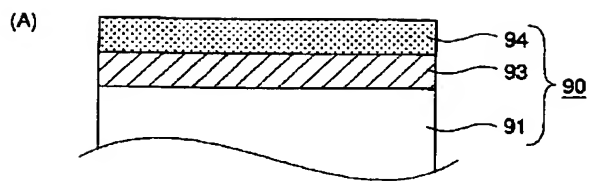
【図6】



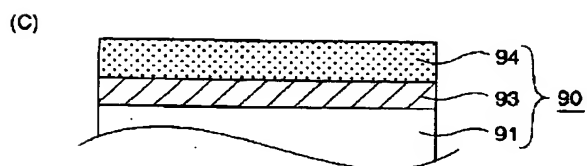
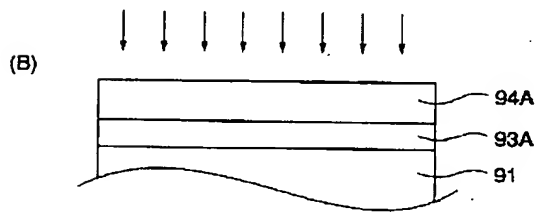
【図8】



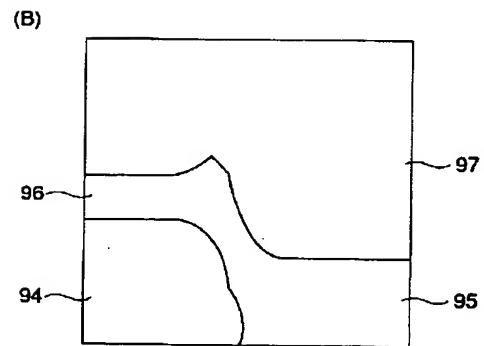
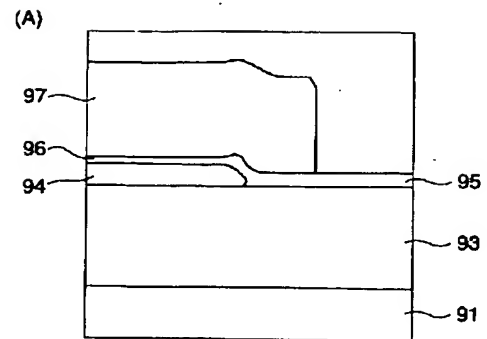
【図 9】



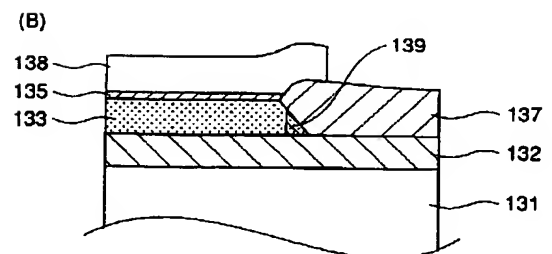
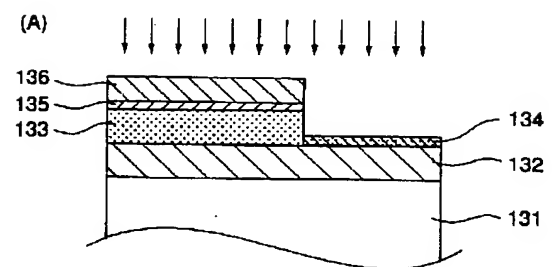
【図 11】



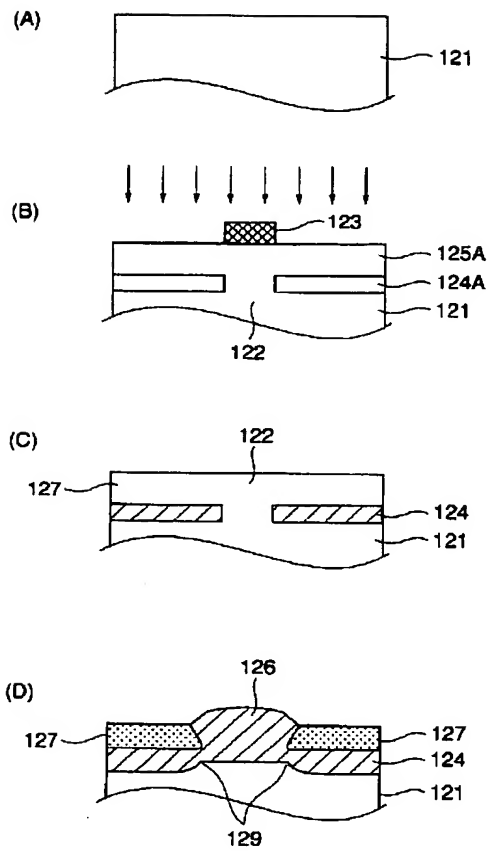
【図 10】



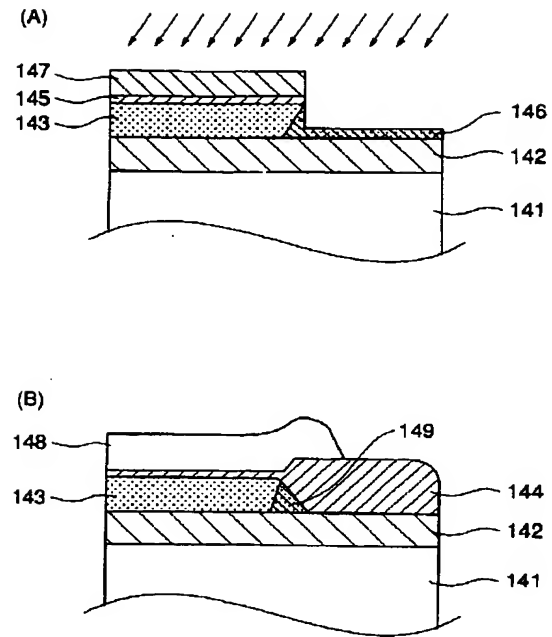
【図 13】



【図12】



【図14】



フロントページの続き

(72)発明者 三浦 規之
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

Fターム(参考) 4M108 AA09 AA11 AB04 AB09 AB36
AC39 AC42 AD13
5F032 AA07 AC01 CA17 DA23 DA25
DA43 DA53 DA60 DA77
5F110 AA08 AA16 DD05 DD25 EE09
FF02 GG02 GG12 GG25 GG52
NN66 QQ04